

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of

Shang-hyeun PARK et al

Application No.: Unassigned

Filing Date: December 24, 2003

Title: FIELD EMISSION DISPLAY AND METHOD OF MANUFACTURING THE SAME

Group Art Unit: Unassigned

Examiner: Unassigned

Confirmation No.: Unassigned

SUBMISSION OF CERTIFIED COPY OF PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following priority foreign application(s) in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed.

Country: Korea

Patent Application No(s): 2002-84089

Filed: December 26, 2002

In support of this claim, enclosed is a certified copy(ies) of said foreign application(s). Said prior foreign application(s) is referred to in the oath or declaration. Acknowledgment of receipt of the certified copy(ies) is requested.

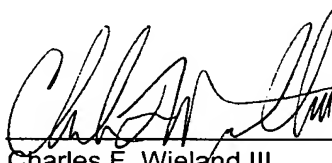
Respectfully submitted,

BURNS, DOANE, SWECKER & MATHIS, L.L.P.

P.O. Box 1404
Alexandria, Virginia 22313-1404
(703) 836-6620

Date: December 24, 2003

By



Charles F. Wieland III
Registration No. 33,096



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0084089
Application Number

출원 년 월 일 : 2002년 12월 26일
Date of Application DEC 26, 2002

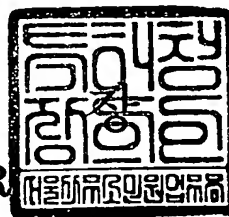
출원인 : 삼성에스디아이 주식회사
Applicant(s) SAMSUNG SDI CO., LTD.



2003 년 12 월 04 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0012
【제출일자】	2002.12.26
【국제특허분류】	H01J
【발명의 명칭】	전계방출표시소자 및 그 제조방법
【발명의 영문명칭】	Field emission display and manufacturing method thereof
【출원인】	
【명칭】	삼성에스디아이 주식회사
【출원인코드】	1-1998-001805-8
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-050326-4
【대리인】	
【성명】	이해영
【대리인코드】	9-1999-000227-4
【포괄위임등록번호】	2000-004535-8
【발명자】	
【성명의 국문표기】	박상현
【성명의 영문표기】	PARK, Shang Hyeun
【주민등록번호】	701202-1462118
【우편번호】	355-020
【주소】	충청남도 보령시 대관동 흥화아파트 4동 110호
【국적】	KR
【발명자】	
【성명의 국문표기】	이항우
【성명의 영문표기】	LEE, Hang Woo
【주민등록번호】	690621-1057416

【우편번호】	442-811
【주소】	경기도 수원시 팔달구 영통동 964-5 주공아파트 516동 102호
【국적】	KR
【발명자】	
【성명의 국문표기】	조영석
【성명의 영문표기】	CHO, Young Suk
【주민등록번호】	700814-1042128
【우편번호】	442-370
【주소】	경기도 수원시 팔달구 매탄동 1251-6번지 302호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 이해영 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	5 면 5,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	13 항 525,000 원
【합계】	559,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

양질의 화상을 표시하는 전계방출소자에 관해 개시된다. 전계방출소자는: 애노드 전극의 형광체층에 대응하여 전자를 방출하는 전자방출원 및 상기 전자가 통과하는 게이트홀을 가지는 게이트 전극이 그 내면에 형성되어 있는 캐소드 플레이트와; 상기 게이트홀에 대응하는 전자제어홀이 형성되어 있고 상기 캐소드 플레이트에 대응하는 면에 절연층이 형성되어 있는 메쉬그리드와; 상기 애노드 플레이트와 상기 메쉬그리드 사이에 마련되며, 애노드 플레이트와 캐소드 플레이트 사이의 부압에 의해 상기 메쉬그리드를 상기 캐소드 플레이트에 밀착시키는 스페이서를; 구비한다. 본 발명은 메쉬 그리드의 변형 및 효과적으로 방지함으로써 양질의 화질을 구현할 수 있고 제조단가도 낮출수 있다.

【대표도】

도 2

【색인어】

메쉬 그리드, 전계방출, 전자제어, 더블 게이트

【명세서】

【발명의 명칭】

전계방출표시소자 및 그 제조방법{Field emission display and manufacturing method thereof}

【도면의 간단한 설명】

도 1a는 종래 전계방출소자의 개략적 단면도이다.

도 1b는 변형된 메쉬 그리드에 의해 얼룩진 화상을 보이는 종래 전계방출소자의 화면 사진이다.

도 2는 본 발명에 따른 전계방출소자의 개략적 단면도이다.

도 3 내지 도 6은 본 발명에 따른 전계방출소자의 제조방법 중 제조되는 기능별 부품 단면도로서,

도 3은 애노드 플레이트,

도 4는 캐소드 플레이트,

도 5는 메쉬 그리드 그리고

도 6은 스페이서를 나타내는 도면이다.

도 7 내지 도 9는 본 발명에 따른 전계방출소자의 제조방법의 한실시예를 나타내는 공정도이다.

도 10 내지 12는 본 발명에 따른 전계방출소자의 제조방법 중 메쉬 그리드를 제조하는 방법의 한 실시예를 보이는 공정도이다.

도 13은 본 발명의 전계방출소자의 제조방법의 한 실시예에 따라 제조된 메쉬 그리드의 표면 확대사진이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<12> 본 발명을 전계방출표시소자 및 그 제조방법에 관한 것으로서 상세히는 더블 게이트형 전계방출표시소자에 관한 것이다.

<13> 일반적으로 전계방출소자의 내부 전자방출원으로부터 전자들이 방출되는 동안에 전자 방출원이 마련되는 캐소드 플레이트와 전자가 충돌하는 형광면을 가지는 애노드 플레이트 사이의 내부 진공 공간에서 아크 방전이 발생하는 경우가 있다. 이러한 아킹(arcing)은 내부로부터의 아웃개싱(outgassing) 등에 의하여 순간적으로 많은 가스가 이온화(avalanche phenomena)되면서 일어나는 방전(discharge) 현상에 의하여 발생하는 것으로 추정된다. 또한, 캐소드 플레이트상에 형성되는 전계방출어레이(Field Emission Array, FEA)의 챔버 테스트(chamber testing) 또는 캐소드 플레이트와 애노드 플레이드를 하나로 결합한 후 FED의 테스트를 위하여 1KV 이상의 양극(anode) 전압을 인가했을 때에도 아크(arcing)가 일어나는 경우가 있다. 아크(Arcing)가 발생된 FEA의 표면을 광학 현미경(optical microscope)으로 관찰하면 아킹에 의한 손상(damage)이 게이트 홀의 가장자리(gate edge) 쪽에서 주로 일어남을 알 수 있다. 이는 게이트 홀의 가장자리(gate edge) 부분이 예리하여 높은 전기장(high electric field) 하에서 아킹이 쉽게 일어 날기 때문인 것으로 추정된다. 아킹은 최고전위인 양극 전압이 인가되는 양극(anode)과 이보다 상대적

으로 낮은 게이트 전압이 인가되는 게이트 전극(gate electrode) 간에 전기적 단락 현상을 일으키게 됨으로써 양극 전압이 게이트 전극에 걸리게 되고 이러한 고전압에 의해 캐소드 전극과 게이트 전극을 전기적으로 절연하는 게이트 산화물(gate oxide) 및 캐소드 전극(cathode electrode) 상에 형성되는 저항층(resistive layer)에 손상(damage)을 주게 된다. 이러한 가능성은 양극 전압이 증가됨에 따라 더욱 심하게 일어나며 결국은 1kV이상의 양극 전압 인가 시에는 아킹 가능성이 더욱 커져서, 기존의 전계 방출 소자에서와 같이 음극과 양극이 스페이서에 의해 격리되어 있는 단순한 구조에서는 고전압에서 안정적으로 동작하는 고휘도 FED를 얻기가 불가능하다.

<14> 한편 이러한 종래 FED는 하나의 게이트 전극에 의해 전자가 추출(extract)된 후 형광면측으로 단순 가속되는 구조를 가지기 때문에 전자빔이 발산됨으로써 주어진 픽셀을 벗어난 영역의 형광체에도 충돌하는 문제가 발생된다. 이러한 문제는 상기와 같은 전자빔 경로 상에 발산되는 전자빔을 제어하는, 예를 들어 형광체층 상의 주어진 목표 위치로 전자빔을 포커싱하는 별도의 전극에 의해 해소될 수 있다. 이러한 전극은 FED에서 두 번째 게이트 전극에 해당되며, 스트라이프 상으로 마련되는 첫 번째 게이트 전극과는 달리 일반적으로 단일체로 형성된다. 이러한 단일체의 두 번째 게이트 전극 즉, 제 2 게이트 전극은 상기한 바와 같은 전자빔의 제어와 더불어 전술한 FED 내부에서의 아킹도 방지한다.

<15> 한국특허출원 2000-7115호와 미국특허 5,710,483호 등에는 상기한 바와 같은 제 2 게이트 전극이 적용된 더블 게이트 전계방출소자에 관해 개시한다.

<16> 미국특허 5,710,483에 개시된 FED는 제2게이트 전극이 금속물질의 증착에 의해 형성되는 구조를 가지며, 한국특허출원 2000-7115호에 개시된 FED는 별도의 금속 메쉬가 양극판과 음극판의 사이에 스페이서에 의해 현수되어 양극판과 음극판과 모두 분리되어 있는 구조를 가진다.

- <17> 미국특허 5,710,483에 개시된 바와 같이 금속물질의 증착에 의해 얻어지는 제2게이트전극의 크기는 증착설비의 규모에 제한을 받는다. 이러한 증착설비의 규모에 의한 제한은 FED 크기를 일정치 이하로 제한하며, 따라서 이러한 대형의 FED 제조에 적합하지 않다. 따라서 대형 FED 제조에 필요한 금속막 증착장치는 새롭게 설계 및 제작되어야 하나 이에 막대한 비용이 소요된다. 한편, 금속증착막에 의한 제2게이트 전극은 그 두께가 최대 1.5미크론 정도로 제한을 받기 때문에 전자빔을 효과적으로 제어하기 위한 충분한 두께를 가질 수 없다.
- <18> 한국특허출원 2000-7115호의 개시된 FED는 금속판으로부터 제2게이트 전극(메쉬 그리드)를 얻기 때문에 전술한 바와 같은 크기의 제한을 받지 않고, 그 두께를 자유롭게 선택할 수 있기 때문에 전자빔의 효율적인 제어가 가능하다.
- <19> 도 1a는 메쉬 그리드가 제 2 게이트 전극으로서 적용된 종래 FED의 한 예를 보이는 개략적 단면도이다.
- <20> 도 1을 참조하면, 캐소드 플레이트(10)와 애노드 플레이트(20)가 스페이서(30)에 의해 상호 격리되어 있다. 캐소드 플레이트(10)와 애노드 플레이트(20) 사이의 공간은 진공화되어 있으며 따라서 내부 부압에 의해 캐소드 플레이트(10)와 애노드 플레이트(20)가 스페이서(30)를 사이에 두고 확고히 결합되어 있다.
- <21> 캐소드 플레이트(10)에서, 배면판(11) 상에 캐소드 전극(12)이 형성되어 있고, 그 위에 게이트 절연층(13)이 형성되어 있다. 게이트 절연층(13)에는 관통공(13a)이 형성되어 있고, 이의 바닥으로 캐소드 전극(12)이 노출된다. 관통공(13a)을 통해 노출된 캐소드 전극(12) 상에는 CNT 와 같은 전자방출원(14)이 형성되어 있다. 상기 게이트 절연층(13) 상에는 상기 관통공(13a)에 대응하는 게이트 홀(15a)을 가지는 게이트 전극(15)이 형성되어 있다.

- <22> 한편, 애노드 플레이트(20)에서 전면판(21)의 내면에 애노드 전극(22)이 형성되어 있고, 애노드 전극(22)에서 상기 게이트 홀(15a)에 대면하는 부분에 형광체층(23)이 형성되어 있고 그 나머지 부분에는 블랙매트릭스(24)가 형성되어 있다.
- <23> 상기와 같은 구조의 캐소드 플레이트(10)와 애노드 플레이트(20) 사이에는 메쉬 그리드(40)가 개재되어 있으며, 이 메쉬 그리드(40)는 캐소드 플레이트(10)와 애노드 플레이트(20)로부터 떨어진 상태에서 상기 스페이서(30)에 의해 지지되고 있다.
- <24> 상기 메쉬 그리드(40)는 스페이서(30)가 관통하는 고정홀(41)과 상기 게이트 홀(15a)에 대응하는 전자빔 제어홀(42)을 갖는다. 상기 고정홀(41)에는 스페이서(30)에 메쉬 그리드(40)를 결합하기 위한 바인더(43)가 채워져 있다.
- <25> 상기와 같은 구조의 종래 전계방출소자에서 스페이서 결합방법은 다음과 같다.
- <26> 먼저, 형광체층(23)이 아직 소성되지 않은 상태의 애노드 플레이트(20)에 스페이서(30)를 소정 간격으로 배치한 후 고정시킨다. 이와 같은 상태에서 금속판으로부터 완성된 형태로 얻어진 메쉬 그리드(40)의 고정홀(41)에 상기 애노드 플레이트(20)에 고정된 스페이서(30)를 끼운 후 스페이서(30) 고정을 위한 바인더(43)를 고정홀(41) 채운다.
- <27> 상기 메쉬 그리드(40)와 스페이서(30)를 정렬시킨 후 바인더(43)를 경화시키고, 이에 이어 상기 형광체층(23)을 소성한다. 상기 애노드 플레이트와 캐소드 플레이트를 상호 정렬시킨 후 진공 패키징을 실시한다.
- <28> 상기와 같은 종래의 방법에 의하면, 상기 약 120도 온도하에서의 바인더 경화 및 약 420도 온도 하에서의 형광체층 소성 시 메쉬그리드의 변형 및 애노드 플레이트와의 정렬이 흐트러지는 문제가 발생된다. 특히 진공 패키징 시 가해지는 300 도 이상의 공정 온도에서 2차적인 메

쉬 그리드의 변형 및 애노드 플레이트의 정렬의 흐트러짐이 발생된다. 도 2a는 종래 방법에 의해 제조된 FED 에 화면을 보인 사진으로서 메쉬 그리드의 변형에 의해 화면이 전체적으로 고르지 않고 얼룩이 져 있음을 알수 있다.

<29> 이러한 화질악화를 초래하는 메쉬 그리드의 변형과 흐트러짐은 전계방출소자의 성능을 악화 내지는 불량화를 초래하게 되며, 따라서 이러한 문제를 해소하기 위한 새로운 방법의 모색이 필요하다.

【발명이 이루고자 하는 기술적 과제】

<30> 본 발명은 상기와 같은 문제점을 해결하기 위하여 창출된 것으로서, 메쉬 그리드의 변형 및 효과적으로 방지할 수 있는 전계방출소자 및 그 제조방법을 제공함에 그 첫째 목적이 있다

【발명의 구성 및 작용】

<31> 상기 목적을 달성하기 위하여 본 발명에 따르면,

<32> 애노드 전극 및 형광체층이 그 내면에 형성되어 있는 애노드 플레이트와;

<33> 상기 형광체층에 대응하여 전자를 방출하는 전자방출원 및 상기 전자가 통과하는 게이트 홀을 가지는 게이트 전극이 그 내면에 형성되어 있는 캐소드 플레이트와;

<34> 상기 캐소드 플레이트의 내면에 밀착되며, 상기 게이트홀에 대응하는 전자제어홀이 형성되어 있고 상기 캐소드 플레이트에 대응하는 면에 절연층이 형성되어 있는 메쉬그리드와;

<35> 상기 애노드 플레이트와 상기 메쉬그리드 사이에 마련되며, 애노드 플레이트와 캐소드 플레이트 사이의 부압에 의해 상기 메쉬그리드를 상기 캐소드 플레이트에 밀착시키는 스페이서를; 구비하는 전계방출소자가 제공된다.

- <36> 또한, 상기의 목적을 달성하기 위하여 본 발명에 따르면,
- <37> 가) 애노드 전극 및 형광체층이 그 내면에 형성되어 있는 애노드 플레이트를 마련하는 단계;
- <38> 나) 상기 형광체층에 대응하여 전자를 방출하는 전자방출원 및 상기 전자가 통과하는 게이트홀을 가지는 게이트 전극이 그 내면에 형성되어 있는 캐소드 플레이트를 마련하는 단계;
- <39> 다) 상기 게이트홀에 대응하는 전자제어홀이 형성되어 있고 상기 캐소드 플레이트에 대응하는 면에 절연층이 형성되어 있는 별도의 메쉬 그리드를 제작하는 단계;
- <40> 라) 상기 메쉬그리드의 절연층이 상기 캐소드 플레이트에 대면하도록 상기 메쉬 그리드를 상기 캐소드 플레이트에 접촉시키는 단계;
- <41> 마) 소정 높이의 스페이서를 상기 캐소드 플레이트와 상기 애노드 플레이트의 사이에 개재시킨 상태에서 상기 애노드 플레이트와 캐소드 플레이트를 진공 봉착하는 단계;를 포함하는 전계방출소자의 제조방법이 제공된다.
- <42> 상기 본 발명의 전계방출소자 및 그 제조방법에 있어서, 메쉬 그리드는 금속판재로부터 얻어지며 상기 캐소드 플레이트에 대응하는 면에 SiO_2 절연층이 형성된다.
- <43> 본 발명의 바람직한 실시예에 따르면, 상기 메쉬 그리드를 제작하는 단계는:
- <44> 금속판재의 일측면에 절연층을 형성하는 단계;
- <45> 상기 금속판재의 타측면에 대한 포토리소그래피 공정에 의해 상기 금속판에 전자 제어홀을 형성하는 단계;
- <46> 상기 전자제어홀에 대응하는 상기 절연층 부분을 제거하여 상기 전자 제어홀을 관통시키는 단계;를 포함한다.

- <47> 바람직한 실시예에 따르면, 상기 절연층은 SiO_2 로 형성되며, 프린팅법에 의해 상기 금속판재에 도포된 후 소성처리된다.
- <48> 상기 애노드 플레이트와 메쉬 그리드 사이에 위치하는 스페이서는 상기 애노드 플레이트의 내면에 바인더에 의해 먼저 고정된 후 애노드 플레이트에 미리 형성되어 있는 형광체층과 함께 소성된다.
- <49> 이하, 첨부된 도면을 참조하면서 본 발명에 따른 전계방출소자 및 그 제조방법의 바람직한 실시예를 상세히 설명한다.
- <50> 도 2를 참조하면, 캐소드 플레이트(100)와 애노드 플레이트(200)가 스페이서(300)에 의해 상호 격리되어 있다. 캐소드 플레이트(100)와 애노드 플레이트(200)은 진공 봉착되어 있어서 이들 사이의 공간은 진공화 되어 있다. 따라서 내부 부압에 의해 캐소드 플레이트(100)와 애노드 플레이트(200)가 스페이서(300)를 사이에 두고 확고히 결합되어 있다.
- <51> 상기 캐소드 플레이트(100)에서, 배면판(110) 상에 캐소드 전극(120)이 형성되어 있고, 그 위에 게이트 절연층(130)이 형성되어 있다. 게이트 절연층(130)에는 관통공(130a)이 형성되어 있고, 이의 바닥으로 캐소드 전극(120)이 노출된다. 관통공(130a)을 통해 노출된 캐소드 전극(120) 상에는 CNT 와 같은 전자방출원(140)이 형성되어 있다. 상기 게이트 절연층(130) 상에는 상기 관통공(130a)에 대응하는 게이트 홀(150a)을 가지는 게이트 전극(150)이 형성되어 있다.
- <52> 한편, 애노드 플레이트(200)에서 전면판(210)의 내면에 애노드 전극(220)이 형성되어 있고, 애노드 전극(220)에서 상기 게이트 홀(150a)에 대면하는 부분에 형광체층(230)이 형성되어

있고 그 나머지 부분에는 외광 흡수 차단 및 광학적 크로스 토크 등을 방지하기 위한 블랙 매트릭스(240)가 형성되어 있다.

<53> 상기와 같은 구조의 캐소드 플레이트(100)와 애노드 플레이트(200) 사이에는 메쉬 그리드(400)가 개재되어 있으며, 이 메쉬 그리드(400)는 애노드 플레이트(20)로부터 떨어진 상태에서 상기 스페이서(30)에 의해 캐소드 플레이트(10)에 밀착되어 있다. 전술한 바와 같이 캐소드 플레이트(100)와 애노드 플레이트(200) 사이의 공간은 진공상태이며, 따라서 상기 메쉬 그리드(400)는 스페이서(300)에 의해 캐소드 플레이트(100)에 강하게 밀착되어 있다.

<54> 상기 메쉬 그리드(400)의 저면 즉 캐소드 플레이트(100)의 게이트 전극(150)에 접촉되는 부분에 절연층(440)이 형성되어 있으며 이 절연층(440)은 게이트 전극(150)의 표면에 강하게 밀착되어 있는 상태이다. 이러한 메쉬 그리드(400)에서는 상기 게이트 홀(150a)에 대응하는 전자빔 제어홀(420)을 갖는다.

<55> 이상과 같은 구조를 가지는 본 발명에 따른 전계방출소자의 특징은 금속판으로부터 별도의 부품으로 제조된 메쉬그리드가 게이트 전극에 밀착되어 있다는 것이며, 이때에 스페이서가 메쉬 그리드를 캐소드 플레이트에 대해 압박한다는 것이다.

<56> 이하 본 발명에 따른 전계방출소자의 제조방법의 바람직한 실시예를 상세히 설명한다.

<57> 도 3에 도시된 바와 같이, 전술한 바와 같이 전면판(200)의 내면(도면에서 상면)에, 애노드 전극(220) 및 형광체층(230) 및 블랙매트릭스(240)등이 그 내면(도면에서 상면)에 형성되어 있는 애노드 플레이트를 마련한다. 여기에서 적용되는 공정은 종래의 방법이 이용되며, 상기 형광체층(230)은 아직 소성되지 않은 상태이다.

- <58> 도 4에 도시된 바와 같이, 배면판(200)의 내면(도면에서 상면)에 상기 형광체층에 대응하여 전자를 방출하는 전자방출원(140), 전자방출원(140)이 형성되는 캐소드 전극(120), 상기 전자가 통과하는 게이트홀(150a)을 가지는 게이트 전극(150), 게이트 전극(150)의 하부에 마련된 게이트 절연층(130), 이 그 내면에 형성되어 있는 캐소드 플레이트를 준비한다. 역시 캐소드 플레이트도 종래의 방법에 의해 제조된다.
- <59> 도 5에 도시된 바와 같이 전자 제어홀(420)이 형성되어 있고 그 저면에 절연층(440)이 형성되어 있는 메쉬 그리드(400)를 준비한다.
- <60> 도 6에 도시된 바와 같이 소정 높이를 가지는 기둥 상의 스페이서(300)를 다수 준비한다
- <61> 도 7에 도시된 바와 같이 상기 스페이서(300)를 상기 애노드 플레이트(200)에 정렬 후 부착한다. 이때에 스페이서(300)의 부착에는 페이스트로 된 바인더(301)가 적용된다. 이와 같이 스페이서(300)가 애노드 플레이트(200)에 부착된 상태에서 가열하여 행하여 상기 형광체층(230)을 소성함과 아울러 상기 바인더(301)를 경화시킨다.
- <62> 도 8에 도시된 바와 같이, 상기 캐소드 플레이트(100)의 내면에 상기 메쉬 그리드(400)를 정렬한 후 장착한다.
- <63> 도 9에 도시된 바와 같이 캐소드 플레이트(100)와 애노드 플레이트(200)를 상호 결합한 후 봉착을 행하여 도 2에 도시된 바와 같은 목적하는 전계방출소자를 얻는다.
- <64> 상기와 같은 과정을 통해 알수 있듯이 상기 형광체층(230) 및 바인더(301)의 소성시 메쉬 그리드가 배제되어 있다. 따라서 종래와 같이 소성시 메쉬 그리드가 변형 되거나 뒤틀리는 현상을 원천적으로 방지한다.

- <65> 도 10 내지 도 11은 본 발명에 따른 전계방출소자의 제조방법의 실시예에 있어서, 상기 메쉬그리드(400)를 제조하는 방법의 한 실시예의 공정도이다.
- <66> 도 10에 도시된 바와 같이 약 50 내지 100 미크론 정도의 두께를 가지는 인바(invar)의 일측면에 SiO_2 페이스트를 스쿼징에 의해 프린팅한다. 그리고 약 섭씨 530도의 온도에서 상기 SiO_2 소성한다.
- <67> 도 11에 도시된 바와 같이, 알려진 포토리소그래피 법에 의해 상기 인바에 전자 제어홀(420)을 형성한다. 이때에는 포토레지스트 마스크가 적용되며, 이 포토레지스트 마스크에는 상기 전자제어홀(420)에 대응하는 윈도우를 가지며, 식각용액으로는 염화제2철을 사용할 수 있다.
- <68> 도 12에 도시된 바와 같이 상기 전자제어홀(420)이 형성된 인바를 마스크로 이용해 상기 SiO_2 를 식각하여 상기 전자제어홀(420)이 완전히 관통되게 한다. 이때에 식각액으로는 불산을 사용한다.
- <69> 도 13은 상기와 같은 방법에 의해 제조된 메쉬 그리드의 확대사진이다.
- <70> 상기와 같은 메쉬 그리드의 제법은 프린트법에 의해 절연층을 형성하기 때문에 매우 넓은 면적을 가지는 대형의 전계방출소자의 제조에 적합하며, 인바 자체를 절연층 패터닝을 위한 마스크로 적용하기 때문에 전체 공정이 간편한 장점을 가진다.

【발명의 효과】

- <71> 상기와 같은 본 발명에 의하면, 형광체층 소성에 따른 부품의 변형, 특히 메쉬 그리드의 변형을 원칙적으로 봉쇄할 수 있다. 특히 메쉬 그리드가 증착법에 의하지 않고 별도의 금속판

으로부터 얻고 그리고 이의 표면에 대한 절연층이 스쿼징 법등에 의해 형성되기 때문에 대면적
전계방출소자의 제조에 적합하다.

<72> 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나, 이는 예시적인 것에 불과하며,
당해 분야에서 통상적 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능
하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범
위에 한해서 정해져야 할 것이다.

【특허청구범위】

【청구항 1】

애노드 전극 및 형광체층이 그 내면에 형성되어 있는 애노드 플레이트와;

상기 형광체층에 대응하여 전자를 방출하는 전자방출원 및 상기 전자가 통과하는 게이트홀을 가지는 게이트 전극이 그 내면에 형성되어 있는 캐소드 플레이트와;

상기 캐소드 플레이트의 내면에 밀착되며, 상기 게이트홀에 대응하는 전자제어홀이 형성되어 있고 상기 캐소드 플레이트에 대응하는 면에 절연층이 형성되어 있는 메쉬그리드와;

상기 애노드 플레이트와 상기 메쉬그리드 사이에 마련되며, 애노드 플레이트와 캐소드 플레이트 사이의 부압에 의해 상기 메쉬그리드를 상기 캐소드 플레이트에 밀착시키는 스페이서를; 구비하는 것을 특징으로 하는 전계방출소자.

【청구항 2】

제 1 항에 있어서,

상기 메쉬 그리드는 인바로 형성되는 것을 특징으로 하는 전계방출소자.

【청구항 3】

제 1 항 또는 제 2 항에 있어서,

상기 절연층은 프린트 법에 의해 형성되는 SiO_2 막인 것을 특징으로 하는 전계방출소자.

【청구항 4】

제 3 항에 있어서,

상기 메쉬 그리드의 절연층은 상기 게이트 전극의 표면에 직접 접촉되는 것을 특징으로 하는 전계방출소자.

【청구항 5】

가) 애노드 전극 및 형광체층이 그 내면에 형성되어 있는 애노드 플레이트를 마련하는 단계;

나) 상기 형광체층에 대응하여 전자를 방출하는 전자방출원 및 상기 전자가 통과하는 게이트홀을 가지는 게이트 전극이 그 내면에 형성되어 있는 캐소드 플레이트를 마련하는 단계;

다) 상기 게이트홀에 대응하는 전자제어홀이 형성되어 있고 상기 캐소드 플레이트에 대응하는 면에 절연층이 형성되어 있는 별도의 메쉬 그리드를 제작하는 단계;

라) 상기 메쉬그리드의 절연층이 상기 캐소드 플레이트에 대면하도록 상기 메쉬 그리드를 상기 캐소드 플레이트에 접촉시키는 단계;

마) 소정 높이의 스페이서를 상기 캐소드 플레이트와 상기 애노드 플레이트의 사이에 개재시킨 상태에서 상기 애노드 플레이트와 캐소드 플레이트를 진공 봉착하는 단계;를 포함하는 것을 특징으로 하는 전계방출소자의 제조방법.

【청구항 6】

제 5 항에 있어서,

상기 메쉬 그리드는 인바로 형성하는 것을 특징으로 하는 전계방출소자의 제조방법.

【청구항 7】

제 5 항 또는 제 6 항에 있어서,

상기 절연층은 SiO_2 페이스트의 프린트 및 소성에 의해 형성하는 것을 특징으로 하는 전계방출소자의 제조방법.

【청구항 8】

제 5 항에 있어서,

메쉬 그리드의 절연층은 SiO_2 로 형성하는 것을 특징으로 하는 전계방출소자의 제조방법.

【청구항 9】

제 5 항 또는 제 6 항에 있어서,

상기 메쉬 그리드를 제작하는 단계는:

금속판재의 일측면에 절연층을 형성하는 단계;

상기 금속판재의 타측면에 대한 포토리소그래피 공정에 의해 상기 금속판재에 전자 제어홀을 형성하는 단계;

상기 전자제어홀에 대응하는 상기 절연층 부분을 제거하여 상기 전자 제어홀을 관통시키는 단계;를 포함하는 것을 특징으로 하는 전계방출소자의 제조방법.

【청구항 10】

제 9 항에 있어서,

상기 금속판재에 절연층을 형성하는 단계는:

상기 금속판재에 SiO_2 페이스트를 프린트법에 의해 도포하는 단계;

프린트된 상기 SiO_2 페이스트를 소성하는 단계;를 포함하는 것을 특징으로 하는 전계방출소자의 제조방법.

【청구항 11】

제 5 항 또는 제 6 항에 있어서,

상기 애노드 플레이트와 캐소드 플레이트를 진공 봉착하는 단계는:

상기 애노드 플레이트 내면에 스페이서를 정렬한 후 바인더에 의해 고정하는 단계;

상기 애노드 플레이트를 가열하여 상기 형광체층을 소성함과 아울러 상기 바인더를 경화하는 단계;

상기 스페이서가 상기 메쉬 그리드에 접촉되도록 한 상태로 캐소드 플레이트와 애노드 플레이트를 상호 결합한 후 진공봉착하는 단계;를 포함하는 것을 특징으로하는 전계방출소자의 제조방법.

【청구항 12】

제 9 항에 있어서,

상기 애노드 플레이트와 캐소드 플레이트를 진공 봉착하는 단계는:

상기 애노드 플레이트 내면에 스페이서를 정렬한 후 바인더에 의해 고정하는 단계;

상기 애노드 플레이트를 가열하여 상기 형광체층을 소성함과 아울러 상기 바인더를 경화하는 단계;

상기 스페이서가 상기 메쉬 그리드에 접촉되도록 한 상태로 캐소드 플레이트와 애노드 플레이트를 상호 결합한 후 진공봉착하는 단계;를 포함하는 것을 특징으로하는 전계방출소자의 제조방법.

【청구항 13】

제 10 항에 있어서,

상기 애노드 플레이트와 캐소드 플레이트를 진공 봉착하는 단계는:

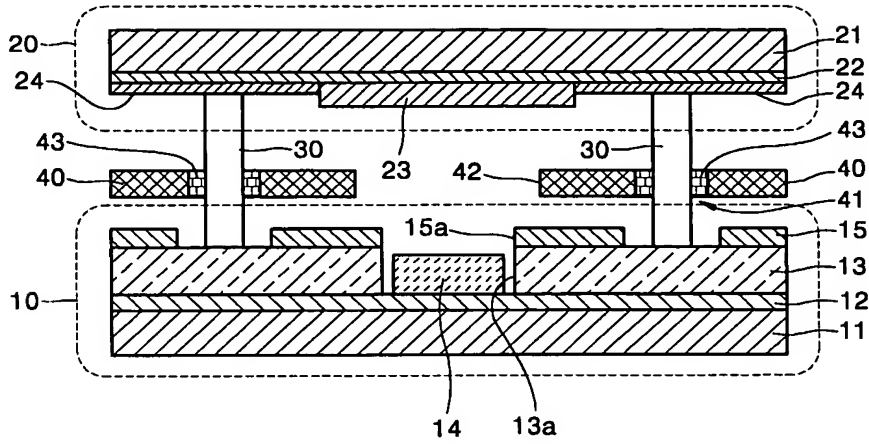
상기 애노드 플레이트 내면에 스페이서를 정렬한 후 바인더에 의해 고정하는 단계;

상기 애노드 플레이트를 가열하여 상기 형광체층을 소성함과 아울러 상기 바인더를 경화하는 단계;

상기 스페이서가 상기 메쉬 그리드에 접촉되도록 한 상태로 캐소드 플레이트와 애노드 플레이트를 상호 결합한 후 진공봉착하는 단계;를 포함하는 것을 특징으로하는 전계방출소자의 제조방법.

【도면】

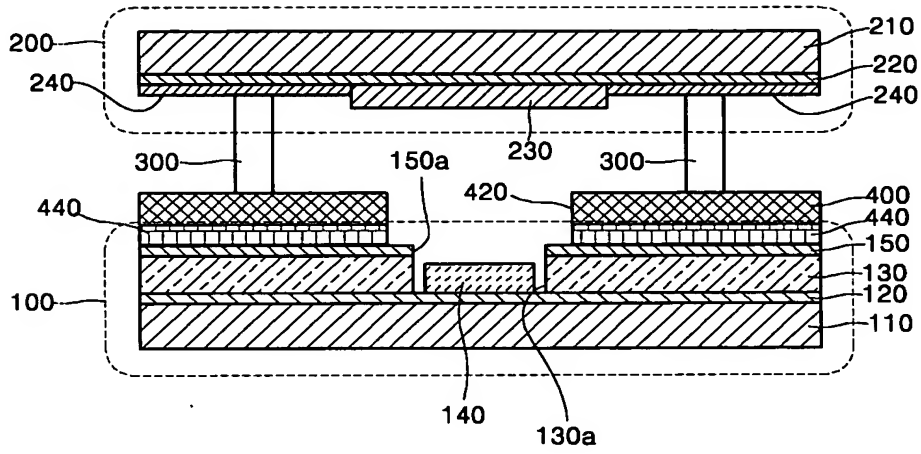
【도 1a】



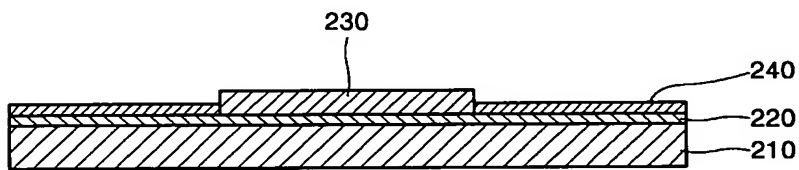
【도 1b】



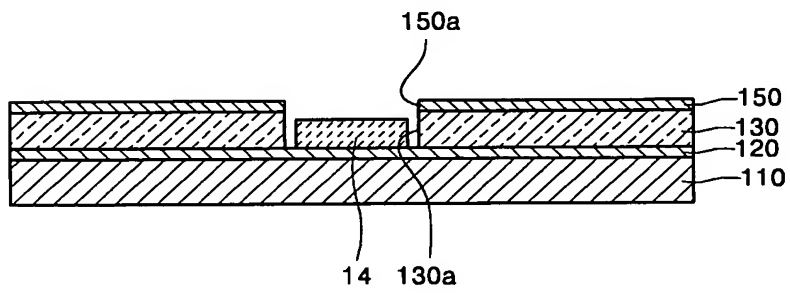
【도 2】



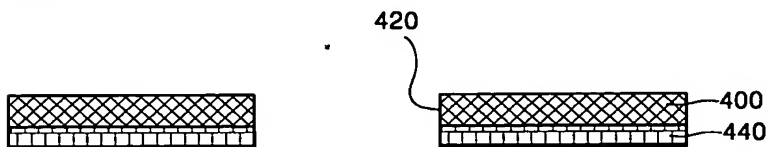
【도 3】



【도 4】



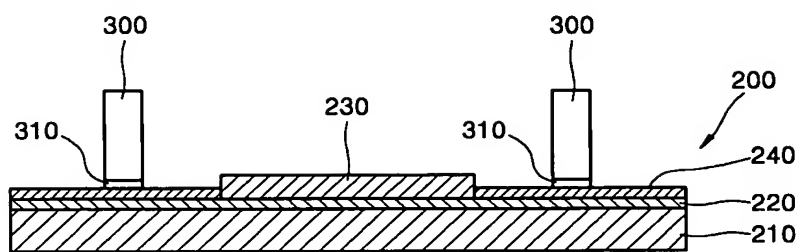
【도 5】



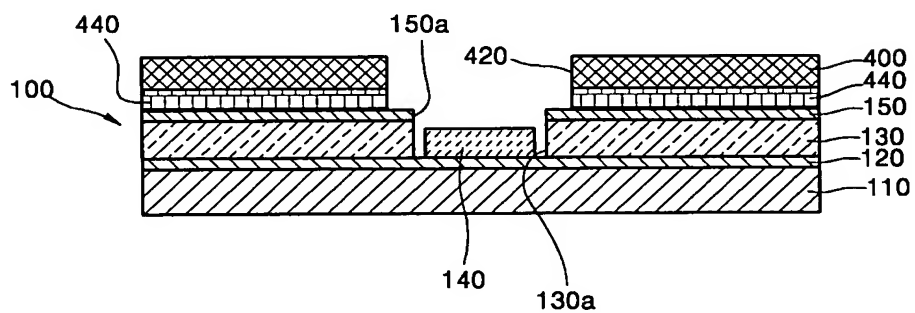
【도 6】



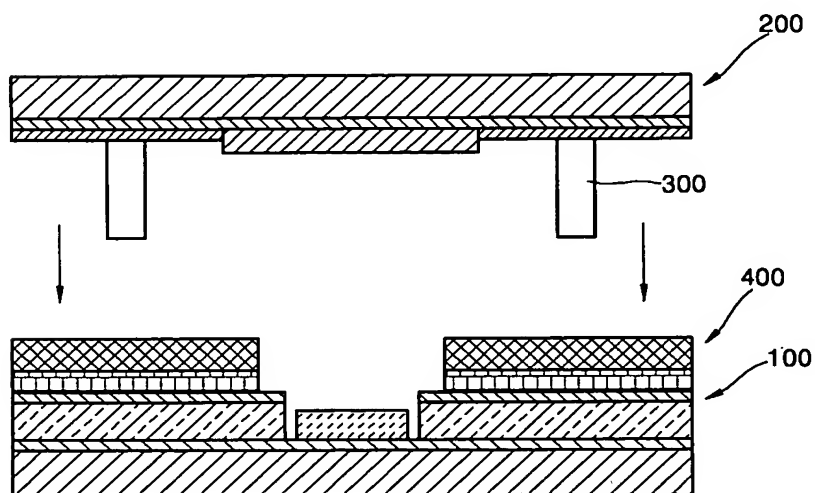
【도 7】



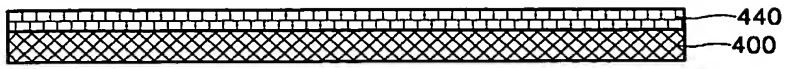
【도 8】



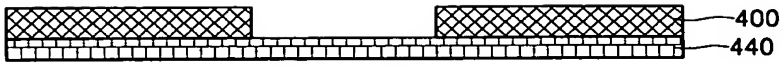
【도 9】



【도 10】



【도 11】



【도 12】



【도 13】

